



*Opportunities
for Talents*

Lehrstuhl für Schaltungsentwurf
Fakultät für Elektrotechnik und Informationstechnik
Technische Universität München



Anforderungen an eine extrem schnell lockende, stromsparende PLL

Masterthesis

Motivation:

In stromsparenden Sensorsystemen werden Taktgeber benötigt, um den ADC zu takten. Um Strom zu sparen, läuft nur ein 32kHz Xtal-Taktgeber mit geringer Leistung kontinuierlich. Der Hochfrequenztakt (20MHz-50MHz) wird die meiste Zeit abgeschaltet und nur für kurze Zeit eingeschaltet.

In dieser Arbeit sollen die Anforderungen an die Taktung des Systems verstanden werden und ein Lösungsvorschlag entwickelt werden.

Wie sieht die Arbeit aus?

- Entwicklung eines Verständnisses für das Sensorsystem
- Modellierung der Taktung
- Aufschlüsselung der Anforderungen auf Blockebene
- Entwicklung einer Lösung auf Blockebene

Was sind gute Voraussetzungen für den Beginn dieser Arbeit?

- Grundkenntnisse der Fourier-Transformation
- Grundkenntnisse in der Schaltungsentwicklung
- Interesse an der Modellierung

Neugierig?

→ Contact:

Markus Dietl,
markus3.dietl@tum.de
Room N5301