



*Opportunities
for Talents*

Lehrstuhl für Schaltungsentwurf
Fakultät für Elektrotechnik und Informationstechnik
Technische Universität München



Layouteinflüsse bei Hochfrequenz-PLL

Masterarbeit

Motivation:

Das Verhalten von Hochfrequenz-PLLs wird sehr oft stark vom Mikrochip-Layout beeinflusst. In dieser Arbeit soll dieser Einfluss untersucht werden.

Das Layout kann extrahiert und simuliert werden. Diese Simulation berücksichtigt die meisten parasitären Effekte des Layouts. Die Unterschiede zu einer nur Schaltplan basierten Simulation sollen verstanden und die Auswirkung auf die Parameter der Modellierung beschrieben werden.

Eine bestehende Schaltung soll in einer Entwurfsumgebung für integrierte Schaltungen (Cadence) ausgelegt und je nach Ergebnis der Simulation modifiziert werden.

Wie sieht die Arbeit aus?

- Entwickeln Sie ein Verständnis für den Phasenregelkreis
- Modellierung von PLL
- Layout
- Simulation des extrahierten Layouts
- Untersuchen Sie den Einfluss auf die Parameter der PLL Modellierung
- Ändern Sie das Design, um parasitäre Layouteffekte zu kompensieren

Was sind gute Voraussetzungen für den Beginn dieser Arbeit?

- Grundkenntnisse in Fourier transformation
- Grundkenntnisse Schaltungsentwurf
- Interesse an Schaltungsentwicklung, Schaltungslayout und Modellierung

Interesse geweckt?

→ Kontakt:

Markus Dietl,
markus3.dietl@tum.de
Room N5309